

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-134277

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 2 F 1/133

5 5 0

G 0 9 G 3/36

H 0 4 N 1/04

3/16

E

7251-5C

H 0 4 N 1/04

D

審査請求 有 請求項の数 4 O L (全 7 頁)

(21) 出願番号

特願平5-282243

(22) 出願日

平成5年(1993)11月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 浅田 秀樹

東京都港区芝五丁目7番1号 日本電気株式会社内

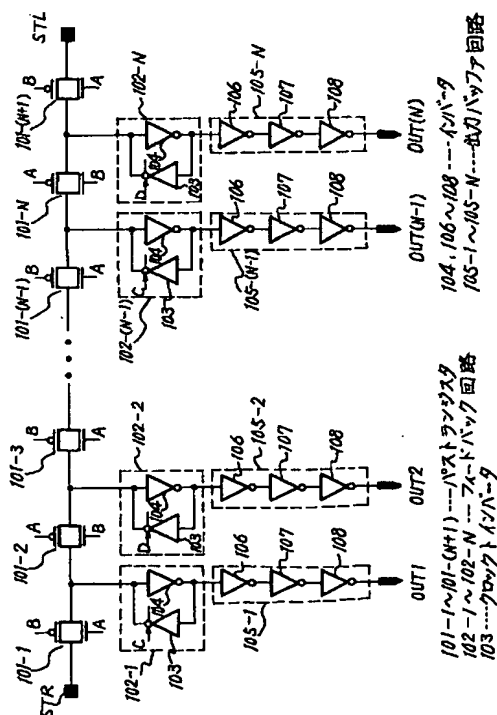
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 走査回路およびその駆動方法

(57) 【要約】

【目的】液晶ディスプレイ、密着型イメージセンサ、液晶シャッタおよび蛍光表示管等の周辺駆動回路における双方向走査回路の高速化、歩留りの改善を図る。

【構成】本発明は、データ信号をクロック信号に同期して遅延転送する回路構成により、走査パルス信号を出力する走査回路において、前段からのデータ信号を入力信号とし、クロック信号A、Bにより、次段に対する入力信号を出力信号とする縦続接続されたパストランジスタ101-1~101-(N+1)と、クロック信号C、Dにより、前記パストランジスタから、分岐出力される信号を個別に inputs して、当該信号のレベル低下を補償して出力するフィードバック回路102-1~102-Nと、前記のフィードバック回路より逐次出力される信号を、それぞれ個別に inputs して、それぞれ走査パルス信号を、OUT<sub>1</sub>~OUT(N)として出力する出力バッファ回路105-1~105-Nとを備えて構成される。



## 【特許請求の範囲】

【請求項1】 データ信号を所定のクロック信号に同期させて逐次遅延転送する回路構成により、走査パルス信号を生成して出力する走査回路において、

前段から出力されるデータ信号を入力信号とし、1個のクロック信号または相互に反転関係にある2個のクロック信号により制御されて、次段に対する入力信号を出力信号とする複数の縦続接続されたパストランジスタと、前記複数のパストランジスタから、それぞれ逐次分岐出力される信号を個別に入力して、当該信号のレベル低下を補償して出力する複数のフィードバック回路と、前記の複数のフィードバック回路より逐次出力される信号を、それぞれ個別に入力して、それぞれ走査パルス信号として出力する複数の出力バッファ回路と、を少なくとも備えることを特徴とする走査回路。

【請求項2】 前記データ信号の最終ビットに対応するパストランジスタの出力信号を入力とし、前記1個のクロック信号または相互に反転関係にある2個のクロック信号により制御される1個のパストランジスタを備えることを特徴とする請求項1記載の走査回路。

【請求項3】 請求項1および2記載の走査回路において、前記データ信号の隣接するビットに対応する各パストランジスタの制御端子に対して、それぞれ相互に反転関係にあるクロック信号を入力するとともに、前記隣接するビットに対応する各フィードバック回路の制御端子に対しても、それぞれ相互に反転関係にあるクロック信号を入力することを特徴とする走査回路の駆動方法。

【請求項4】 請求項1および2記載の走査回路において、前記フィードバック回路の制御端子に入力するクロック信号を、当該クロック信号の反転クロック信号に置換えて入力することを特徴とする走査回路の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は走査回路およびその駆動回路に関し、特に液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等に対応する周辺回路として用いられる走査回路およびその駆動方法に関する。

## 【0002】

【従来の技術】 従来、液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等の小型化、低コスト化および高信頼性等を目的として、これらの周辺回路として用いられる薄膜駆動回路を、これらの液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等と一体化して製造する技術が採られている。この製造方法が採択されている理由は、前記液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等の画素電極と同一基板上に周辺駆動回路を設置することにより、接続端子の数および外部駆動ICの数の大幅な削減が可能になること、また大面積、高密度のボンディング工程の限界から生じる信頼性の問題を解決することができるというコンセプトに

基づいている。

【0003】 通常、液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等の周辺回路として用いられる走査回路は、シフトレジスタおよび出力バッファにより構成されているが、この走査回路は、例えば、アクティブマトリクス液晶ディスプレイにおいては、垂直駆動回路として、或いは水平駆動回路内のサンプル&ホールドスイッチを走査する回路として、前述の薄膜駆動回路を形成する重要な構成要素となっている。

【0004】 近年、大画面投射型ディスプレイとして普及が進んでいる液晶プロジェクタにおいては、液晶ライトバルブを通過した光の反射・屈折回数の違いから、赤・緑・青の3原色に対応する3枚の液晶ライトバルブの内の1枚のパネルについては、当該画像をミラー反転させる必要がある。このミラー反転を行う方法としては、垂直走査回路の走査方向を反転させるか、または液晶ライトバルブを180度回転させ、且つ水平走査回路の走査方向を反転させる方法がある。このためには、データの左右転送切替え可能な双方向走査回路が必要となってくる。

【0005】 図4は、従来の双方向走査回路の構成を示す図である。図4に示されるように、従来の双方向走査回路は、右シフトスタートパルスが入力される入力端子STRおよび左シフトスタートパルスが入力される入力端子STLに対応して、N個の選択回路401-1、401-2、401-3、……、401-N（Nは正整数）と、これらのN個の選択回路にそれぞれ対応して、パルス信号を遅延転送させる機能を有する、N個のハービット構成のシフトレジスタ405-1、405-2、405-3、……、405-Nと、これらのシフトレジスタ405-1、405-2、405-3、……、405-Nの出力を、それぞれOUT<sub>1</sub>、OUT<sub>2</sub>、OUT<sub>3</sub>、……、OUT<sub>(N)</sub>として出力する出力バッファ回路406-1、406-2、406-3、……、406-Nとを備えて構成されており、上記の選択回路401-1、401-2、401-3、……、401-Nは、それぞれAND回路402、403およびOR回路404により構成されており、また出力バッファ回路406-1、406-2、406-3、……、406-Nは、それぞれインバータ407および408により構成されている。

【0006】 また、図5(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)および(j)と、図6(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)および(j)は、それぞれ紙面向って左側より右方向にパルス信号が転送される場合（右シフト）と、紙面向って右側より左方向にパルス信号が転送される場合（左シフト）における動作信号を示すタイミング図である。以下、図4、図5および図6を参照して、本従来例の動作について説明

する。

【0007】図4において、左から右方向にパルス信号が転送される右シフトの場合には、もう一方の入力端子STLは開放状態に設定される。入力端子STRからは右シフトスタートパルスが入力され、選択回路401-1に含まれるAND回路403に入力される。また、AND回路401-1のもう一方の入力端に入力される入力信号Aはハイレベルに設定され、AND回路402の一方の入力端に対する入力信号Bはロウレベルに設定される。このようなAND回路402およびAND回路403に対する入力レベル設定により、ハイレベルの入力信号Aが入力されるAND回路403が選択される。このことは、選択回路401-2、401-3、………、401-Nに含まれるAND回路403についても同様であり、それぞれハイレベルの入力信号Aを受けて選択され、これにより右シフトの走査回路が形成される。

【0008】STR端子より入力される右スタートパルスは、AND回路403およびOR回路404を介してシフトレジスタ405-1に入力されるが、このシフトレジスタ405-1には、クロック信号 $\phi_1$ および $\phi_2$  ( $\phi_1$ の反転クロック信号)が入力されており、このクロック信号 $\phi_1$ および $\phi_2$ によって、当該シフトレジスタ405-1より出力される信号のタイミングが制御され、出力バッファ回路406-1を介して、走査パルス信号が出力信号OUT<sub>1</sub>として出力される。このシフトレジスタ405-1より出力される信号は、次段の選択回路401-2に含まれるAND回路403に入力され、当該AND回路403およびOR回路404を介して、シフトレジスタ405-2に入力される。シフトレジスタ405-2の動作は、上述のシフトレジスタ405-1の動作と全く同様であり、クロック信号 $\phi_1$ および $\phi_2$ によって、当該シフトレジスタ405-2より出力される信号のタイミングが制御され、出力バッファ回路406-2を介して、走査パルス信号が出力信号OUT<sub>2</sub>として出力される。この走査パルス信号は、同時に次段の選択回路401-3に含まれるAND回路403にも入力される。以下同様にして、(N-1)番目の出力バッファ回路406-(N-1)からは、走査パルス信号が出力信号OUT<sub>(N-1)</sub>として出力され、またN番目の出力バッファ回路406-Nからは、走査パルス信号が出力信号OUT<sub>(N)</sub>として出力される。このようにして、出力信号OUT<sub>1</sub>、OUT<sub>2</sub>、………、OUT<sub>(N-1)</sub>、OUT<sub>(N)</sub>の順に、逐次シフトされた走査パルス信号が出力される(図5(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)および(j)を参照)。

【0009】また、右から左方向にパルス信号が転送される左シフトの場合には、入力端子STRは開放状態に設定される。入力端子STLからは左シフトスタートパ

ルスが入力され、選択回路401-Nに含まれるAND回路402に入力される。また、AND回路402のもう一方の入力端に入力される入力信号Bはハイレベルに設定され、AND回路403の一方の入力端に入力される入力信号Aはロウレベルに設定される。これにより、ハイレベルの入力信号Bが入力されるAND回路402が選択される。このことは、選択回路401-1、401-2、401-3、………、401-(N-1)に含まれるAND回路402および403についても同様であり、それぞれAND回路402がハイレベルの入力信号Bを受けて選択され、これにより左シフトの走査回路が形成される。

【0010】STL端子より入力されるスタートパルス信号は、選択回路401-Nに含まれるAND回路402およびOR回路404を介してシフトレジスタ405-Nに入力される。シフトレジスタ405-Nには、クロック信号 $\phi_1$ および $\phi_2$  ( $\phi_1$ の反転クロック信号)が入力されており、このクロック信号 $\phi_1$ および $\phi_2$ によって、当該シフトレジスタ405-Nより出力される信号のタイミングが制御され、出力バッファ回路406-Nを介して、走査パルス信号が出力信号OUT<sub>(N)</sub>として出力される。このシフトレジスタ405-Nより出力される信号は、次段の選択回路401-(N-1)に含まれるAND回路402に入力され、当該AND回路402およびOR回路404を介して、シフトレジスタ405-(N-1)に入力される。シフトレジスタ405-(N-1)の動作は、上述のシフトレジスタ405-Nの動作と全く同様であり、クロック信号 $\phi_1$ および $\phi_2$ によって、当該シフトレジスタ405-(N-1)より出力される信号のタイミングが制御され、出力バッファ回路406-(N-1)を介して、走査パルス信号が出力信号OUT<sub>(N-1)</sub>として出力される。以下同様にして、出力バッファ回路406-3からは、走査パルス信号が出力信号OUT<sub>3</sub>として出力され、出力バッファ回路406-2および406-1からは、それぞれ走査パルス信号が出力信号OUT<sub>2</sub>およびOUT<sub>1</sub>として出力される。このようにして、出力信号OUT<sub>(N)</sub>、OUT<sub>(N-1)</sub>、………、OUT<sub>3</sub>、OUT<sub>2</sub>およびOUT<sub>1</sub>の順に、逐次シフトされた走査パルス信号が出力される(図6(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)および(j)を参照)。

【0011】

【発明が解決しようとする課題】上述した従来の双方向の走査回路においては、図4に示されるように、選択回路を設けて、これに対応する余分な配線を引き回す必要があるため、回路占有面積および配線容量が増大して小型化および高速化を図ることが困難となる。このために、高速・高解像度の液晶ディスプレイおよび密着型イメージセンサ等に対応することができなくなるという欠

点がある。

【0012】また、回路占有面積が増大するために、走査回路の歩留りが低下し、シフトレジスタを直列接続した走査回路の場合には、途中の段に1個でも欠陥が存在すると、その段以降の回路に対しては走査信号を正常に転送することができなくなり、液晶ディスプレイ等の2次元画像デバイスにおいては面欠陥として現れる。これは、画素アレイ部に欠陥が存在しない場合においても発生するため、走査回路の欠陥自体がデバイス自体の歩留まりを低下させる要因になるという欠点がある。

【0013】本発明は、上記の欠点を解決して、高速、且つ高歩留まりの双方向の走査回路およびその駆動方法を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明の走査回路は、データ信号を所定のクロック信号に同期させて逐次遅延転送する回路構成により、走査パルス信号を生成して出力する走査回路において、前段から出力されるデータ信号を入力信号とし、1個のクロック信号または相互に反転関係にある2個のクロック信号により制御されて、次段に対する入力信号を出力信号とする複数の縦続接続されたパストランジスタと、前記複数のパストランジスタから、それぞれ逐次分岐出力される信号を個別に入力して、当該信号のレベル低下を補償して出力する複数のフィードバック回路と、前記の複数のフィードバック回路より逐次出力される信号を、それぞれ個別に入力して、それぞれ走査パルス信号として出力する複数の出力バッファ回路と、を少なくとも備えることを特徴としている。

【0015】なお、前記本発明の走査回路において、前記データ信号の最終ビットに対応するパストランジスタの出力信号を入力とし、前記1個のクロック信号または相互に反転関係にある2個のクロック信号により制御される1個のパストランジスタを備えて構成してもよい。

【0016】また、本発明の走査回路の駆動方法は、前記走査回路において、前記データ信号の隣接するビットに対応する各パストランジスタの制御端子に対して、それぞれ相互に反転関係にあるクロック信号を入力するとともに、前記隣接するビットに対応する各フィードバック回路の制御端子に対しても、それぞれ相互に反転関係にあるクロック信号を入力することを特徴とするとともに、更に、前記走査回路において、前記フィードバック回路の制御端子に入力するクロック信号を、当該クロック信号の反転クロック信号に置換えて入力することを特徴としている。

【0017】

【実施例】次に、本発明について図面を参照して説明する。

【0018】図1は本発明の一実施例の構成を示す図である。図1に示されるように、本実施例は、右シフトス

タートパルスが入力される入力端子STR、および左シフトスタートパルスが入力される入力端子STLに対応して、前段からのパルス信号を、クロック信号AおよびBにより逐次次段に遅延転送する(N+1)個のパストランジスタ101-1、101-2、101-3、……、401-(N-1)、401-N、401-(N+1)と、クロック信号CおよびDにより制御され、逐次遅延転送されてゆくパルス信号の振幅の減衰を防止するためのフィードバック回路102-1、102-2、……、102-(N-1)、102-Nと、これらのフィードバック回路102-1、102-2、……、102-(N-1)、102-Nの出力を、それぞれOUT<sub>1</sub>、OUT<sub>2</sub>、……、OUT<sub>(N-1)</sub>、OUT<sub>(N)</sub>として出力する出力バッファ回路105-1、105-2、……、105-(N-1)、105-Nとを備えて構成されており、上記のフィードバック回路101-1、101-2、……、101-(N-1)、101-Nは、それぞれクロックインバータ103およびインバータ104により構成されており、また出力バッファ回路105-1、105-2、……、105-(N-1)、105-Nは、それぞれインバータ106、107および408により構成されている。

【0019】また、図2(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)と、図3(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)は、それぞれ紙面向って左側より右方向にパルス信号が転送される場合(右シフト)と、紙面向って右側より左方向にパルス信号が転送される場合(左シフト)における動作信号を示すタイミング図である。

【0020】以下、図1、図2および図3を参照して、本実施例の動作について説明する。

【0021】図1において、左から右方向にパルス信号が転送される右シフトの場合には、もう一方の入力端子STLは開放状態に設定される。入力端子STRからは右シフトスタートパルスが入力されて、パストランジスタ101-1に入力される。ここにおいて、クロック信号AおよびDは共通のクロック信号φ<sub>1</sub>であるものとし、またクロック信号BおよびCは共通のクロック信号φ<sub>2</sub>(φ<sub>1</sub>の反転クロック信号)であるものとする。このようにクロック信号A、B、CおよびDを設定することにより、右シフトの走査回路が形成され、出力バッファ回路105-1、105-2、……、105-(N-1)、105-Nからは、それぞれ出力信号OUT<sub>1</sub>、OUT<sub>2</sub>、……、OUT<sub>(N-1)</sub>、OUT<sub>(N)</sub>の順に、逐次シフトされた走査パルス信号が出力される(図2(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)を参照)。

【0022】また、右から左方向にパルス信号が転送さ

れる左シフトの場合には、入力端子STRは開放状態に設定される。入力端子STLからは左シフトスタートパルスが入力されて、パストランジスタ101-(N+1)に入力される。この場合においては、上述の右シフトの場合とは異なり、クロック信号AおよびCは共通のクロック信号 $\phi_1$ に設定され、またクロック信号BおよびDは共通のクロック信号 $\phi_2$  ( $\phi_1$ の反転クロック信号)に設定される。このようにクロック信号A、B、CおよびDを設定することにより、左シフトの走査回路が形成され、出力バッファ回路105-N、105-(N-1)、……、105-2、105-1からは、それぞれ出力信号OUT(N)、OUT(N-1)、……、OUT<sub>2</sub>、OUT<sub>1</sub>の順に、逐次シフトされた走査パルス信号が出力される(図3(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)を参照)。上述のように、左シフトの場合には、右シフトの場合に対してクロック信号CとDが入替えられているが、このクロック信号の入替え操作は、当該走査回路の内部から行ってもよく、或はまた外部から行ってもよい。

【0023】本発明の走査回路を採用した2000段の走査回路を、実際に多結晶シリコン薄膜トランジスタをガラス基板上に集積することにより、走査回路のピッチを30 $\mu$ mで設計して製造した場合に、当該走査回路の占有面積を、従来の走査回路に比較して1/3以下に抑えてレイアウト設計することが可能であった。従来の走査回路においては、選択回路と配線引き回し部分の面積が大半を占有するために、回路ピッチ30 $\mu$ mでレイアウト設計することは不可能であったが、本発明においてはそれが可能となり、且つ回路占有面積が縮小された分、歩留りも向上されるという結果が得られた。特に、本走査回路においては、前段からのパルス信号を次段に遅延転送する部分がパストランジスタのみにより構成されており、これにより、少なくとも最終段までパルス信号が正常に転送される確率が、従来の50%から90%に向上した。これにより、液晶ディスプレイ等の2次元画像デバイスにおいて、面欠陥が生起する確率を著しく低減することが可能となる。更に、供給電圧12Vでの最高クロック周波数が従来の5MHzから10MHz以上に向上され、高速動作をも実現することができた。

【0024】なお、本実施例は、本発明の走査回路をC

MOSスタティック回路により実現した実施例であるが、本発明の走査回路をNMOS回路により構成することも当然可能である。また、本実施例においては、多結晶シリコン薄膜トランジスタを用いているが、半導体層にアモルファスシリコンおよびカドミウムセレン等を採用した他の薄膜トランジスタにより形成することも可能である。更にまた、単結晶シリコンMOSトランジスタにより構成することも当然のことながら可能である。

#### 【0025】

【発明の効果】以上説明したように、本発明は、前段からのパルス信号を次段に逐次遅延転送する回路を、パストランジスタを用いて形成することにより、回路占有面積を従来の1/3程度に縮小することが可能となり、高解像度液晶ディスプレイおよび密着イメージセンサ等に対応して、回路ピッチを向上させたレイアウト設計を行うことができ、また歩留りを著しく向上させることができるとともに、高速にて動作する双方向の走査回路を実現することができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本実施例の右シフト時における各部信号のタイミング図である。

【図3】本実施例の左シフト時における各部信号のタイミング図である。

【図4】従来例を示すブロック図である。

【図5】従来例の右シフト時における各部信号のタイミング図である。

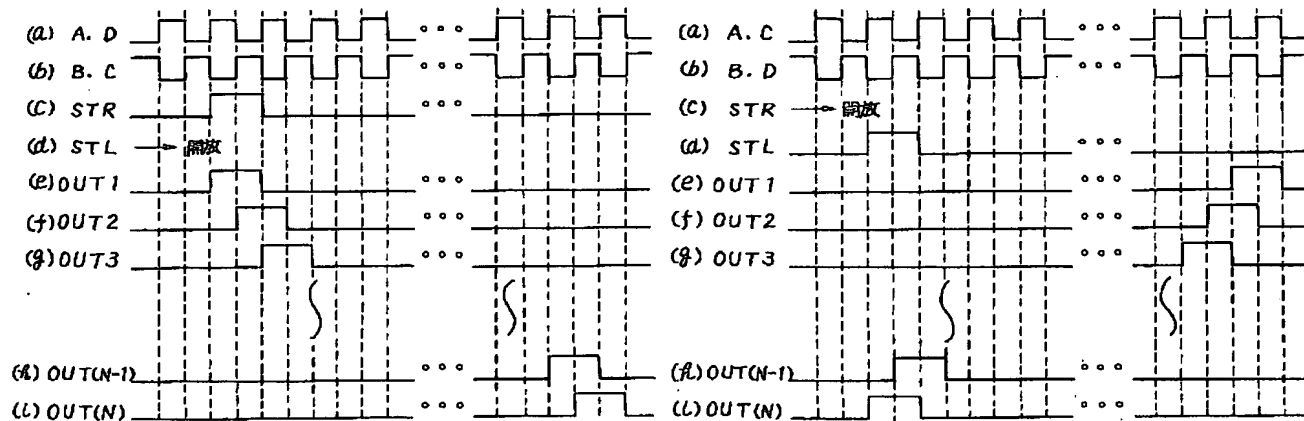
【図6】従来例の左シフト時における各部信号のタイミング図である。

#### 【符号の説明】

101-1~101-(N+1)    パストランジスタ  
102-1~102-N    フィードバック回路  
103    クロックインバータ  
104、106~108、407、408    インバータ  
105-1~105-N、406-1~406-N  
出力バッファ回路  
401-1~401-N    選択回路  
402、403    AND回路  
404    OR回路  
405-1~405-N    シフトレジスタ

[illegible]

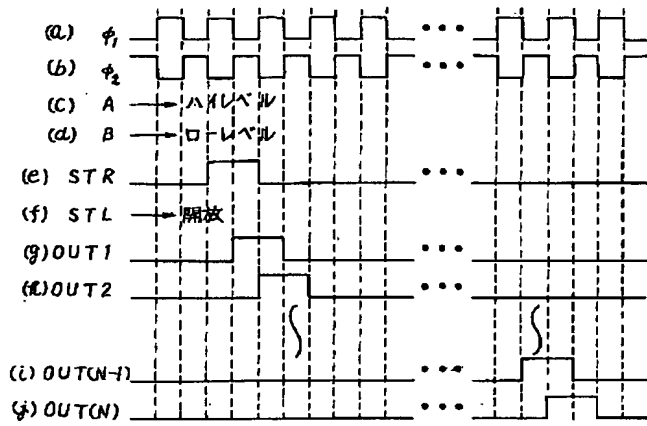
【图 3】



401-1 ~ 401-N ..... 選択回路  
 402, 403 ..... AND 回路  
 404 ..... OR 回路  
 405-1 ~ 405-N ..... シフトレジスタ

406-1 ~ 406-N ..... 出力バッファ回路  
 407, 408 ..... インバータ

【図5】



【図6】

